

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Takashi OKUDA et al.) Group Art Unit: Unassigned
Application No.: Unassigned) Examiner: Unassigned
Filed: November 19, 2003) Confirmation No.: Unassigned
For: MODULATOR PROVIDING ONLY)
QUANTIZATION ERROR)
COMPONENT TO $\Delta\Sigma$ MODULATOR)

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-065444

Filed: March 11, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: November 19, 2003

By:

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月11日
March 11, 2003

出願番号

Application Number:

特願2003-065444

[ST.10/C]:

[JP2003-065444]

出願人

Applicant(s):

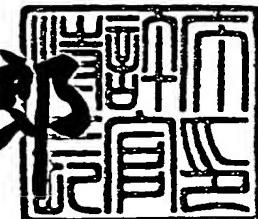
三菱電機株式会社

Mitsubishi Denki Kabushiki Kaisha

2003年 4月11日
April 11, 2003

特許庁長官
Commissioner,
Japan Patent Office

太田信一
Shinichiro Ota



出証番号 出証特2003-3025331
Shutsu-sho No. Shutsu-sho-toku 2003-3025331

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 3月11日

出願番号

Application Number:

特願2003-065444

[ST.10/C]:

[JP2003-065444]

出願人

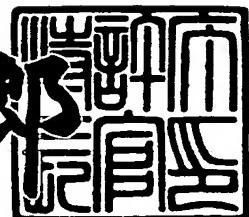
Applicant(s):

三菱電機株式会社

2003年 4月11日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3025331

【書類名】 特許願
 【整理番号】 543019JP01
 【提出日】 平成15年 3月11日
 【あて先】 特許庁長官殿
 【国際特許分類】 H03M 3/02
 H03M 1/20

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

【氏名】 奥田 孝

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

【氏名】 熊本 敏夫

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

【氏名】 森本 康夫

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 モジュレータ

【特許請求の範囲】

【請求項1】 デルタシグマ変換方式を用いたモジュレータであって、
入力信号を信号成分と誤差成分とに分離するための成分分離手段と、
前記成分分離手段によって分離された誤差成分をモジュレートするデルタシグ
マモジュレータと、

前記成分分離手段によって分離された信号成分と前記デルタシグマモジュレー
タによってモジュレートされた後の誤差成分とを演算するための出力演算手段と
を含む、モジュレータ。

【請求項2】 前記成分分離手段は、デジタル入力信号を量子化する第1の
量子化器と、

前記デジタル入力信号と前記第1の量子化器から出力された前記信号成分とを
加算する加算器とを含む、請求項1記載のモジュレータ。

【請求項3】 前記成分分離手段は、デジタル入力信号を多ビットに量子化
するマルチビット量子化器と、

前記デジタル入力信号と前記マルチビット量子化器から出力された前記信号成
分とを加算する加算器とを含む、請求項1記載のモジュレータ。

【請求項4】 前記デルタシグマモジュレータは、複数の積分器と、
最終段の積分器の出力を量子化する第2の量子化器と、
前記第2の量子化器からの出力を遅延させて、前記複数の積分器に負帰還させ
る遅延素子とを含む、請求項2または3記載のモジュレータ。

【請求項5】 前記デルタシグマモジュレータは、複数の積分器と、
最終段の積分器の出力を量子化する第2の量子化器と、
前記第2の量子化器からの出力を遅延させて、前記複数の積分器に負帰還させ
る遅延素子とを含む複数のシングルステージデルタシグマモジュレータを含み、
前記複数のシングルステージデルタシグマモジュレータはカスケード接続され
る、請求項2または3記載のモジュレータ。

【請求項6】 前記モジュレータはさらに、前記加算器とデルタシグマモジ

ュレータとの間に接続され、1未満の係数を有するアッテネータを含む、請求項2～5のいずれかに記載のモジュレータ。

【請求項7】 前記成分分離手段は、アナログ入力信号を量子化する第1の量子化器と、

前記第1の量子化器から出力された前記信号成分をアナログ信号に変換する第1のデジタルアナログ変換器と、

前記アナログ入力信号と前記第1のデジタルアナログ変換器から出力されたアナログ信号とを加算する加算器とを含む、請求項1記載のモジュレータ。

【請求項8】 前記成分分離手段は、アナログ入力信号を多ビットに量子化するマルチビット量子化器と、

前記マルチビット量子化器から出力された前記信号成分をアナログ信号に変換する第1のデジタルアナログ変換器と、

前記アナログ入力信号と前記第1のデジタルアナログ変換器から出力されたアナログ信号とを加算する加算器とを含む、請求項1記載のモジュレータ。

【請求項9】 前記デルタシグマモジュレータは、複数の積分器と、

最終段の積分器の出力を量子化する第2の量子化器と、

前記第2の量子化器からの出力をアナログ信号に変換する第2のデジタルアナログ変換器と、

前記第2のデジタルアナログ変換器から出力されたアナログ信号を遅延させて、前記複数の積分器に負帰還させる遅延素子とを含む、請求項7または8記載のモジュレータ。

【請求項10】 前記デルタシグマモジュレータは、複数の積分器と、

最終段の積分器の出力を量子化する第2の量子化器と、

前記第2の量子化器からの出力をアナログ信号に変換する第2のデジタルアナログ変換器と、

前記第2のデジタルアナログ変換器から出力されたアナログ信号を遅延させて、前記複数の積分器に負帰還させる遅延素子とを含む複数のシングルステージデルタシグマモジュレータを含み、

前記複数のシングルステージデルタシグマモジュレータはカスケード接続され

る、請求項7または8記載のモジュレータ。

【請求項11】 前記モジュレータはさらに、前記加算器とデルタシグマモジュレータとの間に接続され、1未満の係数を有するアッテネータを含む、請求項7～10のいずれかに記載のモジュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、オーディオ帯域のA／D (Analog/Digital) コンバータやD／A (Digital/Analog) コンバータとして広く用いられているオーバサンプリング $\Delta\Sigma$ 変換方式を用いたモジュレータに関し、特に、高次化における入力信号の抑制を低減して高精度化を図ると共に、この変換方式の安定性の向上を図ることが可能なモジュレータに関する。

【0002】

【従来の技術】

現在、オーディオ帯域のA／Dコンバータ（以下、ADCとも呼ぶ。）およびD／Aコンバータ（以下、DACとも呼ぶ。）には、オーバサンプリング $\Delta\Sigma$ 変換方式のモジュレータが広く用いられている。後述するように、オーバサンプリング $\Delta\Sigma$ モジュレータは、遅延素子、積分器、加算器および量子化器から構成される。

【0003】

これに関連する技術として、特開平3-22626号公報、特開平11-308110号公報、特開平6-53836号公報および特開2002-76902号公報に開示された発明がある。

【0004】

特開平3-22626号公報に開示された4次 $\Delta\Sigma$ 変換器は、主ループと、副ループとによって構成される。入力信号をX(z)、第1量子化器の量子化雑音をQ₁(z)とすると、主ループの出力Fは次式のようになる。

【0005】

$$F = X(z) + (1 - z^{-1})^2 \cdot Q_1(z) \quad \dots (1)$$

第1量子化器を単純なコンパレータで実現すると、その入力Eと出力Fとの間には次の関係が成り立つ。

【0006】

$$F = E + Q_1(z) \quad \dots (2)$$

$$-Q_1(z) = E - F \quad \dots (3)$$

副ループは、量子化誤差 $-Q_1(z)$ を2次の伝達特性で積分する。第2量子化器の量子化雑音を $Q_2(z)$ とすると、量子化出力Gは次式のようになる。

【0007】

$$G = -Q_1(z) + (1 - z^{-1})^2 \cdot Q_2(z) \quad \dots (4)$$

この副ループは、第2量子化器の後段に第1および第2微分器が配置され、量子化出力Gを2回微分する。第1および第2微分器の伝達関数を $(1 - z^{-1})$ とすると、2回微分後の出力Hは次式のようになる。

【0008】

$$H = -(1 - z^{-1})^2 \cdot Q_1(z) + (1 - z^{-1})^4 \cdot Q_2(z) \quad \dots (5)$$

この副ループの出力Hと主ループの出力Fとを加算すると、(1)式の $(1 - z^{-1})^2 \cdot Q_1(z)$ と、(5)式の $-(1 - z^{-1})^2 \cdot Q_1(z)$ とが相殺されるため、最終出力Y(z)は次式のようになる。

【0009】

$$Y(z) = X(z) + (1 - z^{-1})^4 \cdot Q_2(z) \quad \dots (6)$$

このようにして、4重積分型の $\Delta\Sigma$ 変換器が等価的に実現される。

【0010】

また、特開平11-308110号公報においては、ノイズシェーピングと量子化ノイズとを低減するために、デルタシグマループを複数段カスケードにした $\Delta\Sigma$ 型A/D変換器が開示されている。

【0011】

また、特開平6-53836号公報においては、補正用デルタシグマA/D変換ループの積分器への入力信号を小さくするために、係数乗算器によって $a \leq 1$ の乗算を行ない、係数乗算器によって元の大きさに戻すアナログデジタル変換回路が開示されている。

【0012】

さらには、特開2002-76902号公報においては、従来技術として、信号帯域外に分布している雑音電力が、一般に後段に設けられたデシメーションフィルタによって除去されることが開示されている。

【0013】

【特許文献1】

特開平3-22626号公報

【0014】

【特許文献2】

特開平11-308110号公報

【0015】

【特許文献3】

特開平6-53836号公報

【0016】

【特許文献4】

特開2002-76902号公報

【0017】

【発明が解決しようとする課題】

後述するように、モジュレーションの効果は、量子化器のビット数、または積分器および量子化器の出力からのフィードバックの段数（次数）に依存する。すなわち、量子化器のビット数が同じであればフィードバックの次数が高いほどモジュレーションの効果が大きくなり、より高精度なモジュレータを実現できる。しかし、モジュレータの次数を上げていくと、最終段での積分器出力の振幅が大きくなり過ぎてしまい、発振が大きくなるといった問題点があった。

【0018】

一方、上述した従来技術のいずれにおいても、原信号が主ループであるモジュレータに入力されているため、上述した問題点を解決することができない。

【0019】

本発明は、上記問題点を解決するためになされたものであり、その目的は、安

定化および高精度化を図ることが可能なモジュレータを提供することである。

【0020】

【課題を解決するための手段】

本発明に係るモジュレータは、デルタシグマ変換方式を用いたモジュレータであって、入力信号を信号成分と誤差成分とに分離するための成分分離手段と、成分分離手段によって分離された誤差成分をモジュレートするデルタシグマモジュレータと、成分分離手段によって分離された信号成分とデルタシグマモジュレータによってモジュレートされた後の誤差成分とを演算するための出力演算手段とを含む。

【0021】

【発明の実施の形態】

図1は、オーバサンプリング $\Delta\Sigma$ モジュレータの構成例を示すブロック図である。図1(a)に示すように、この $\Delta\Sigma$ モジュレータは、加算器11および13と、積分器12および14と、1ビットの量子化器15と、遅延素子16とを含む。また、図1(b)に示すように、積分器12および14は、加算器17および遅延素子18とを含む。

【0022】

図2は、 $\Delta\Sigma$ モジュレータにおける量子化ノイズのモジュレーションの概念を説明するための図である。量子化器15で生じる量子化ノイズがモジュレーションを受け、帯域内の量子化ノイズが高周波帯域に押し出される。これによって、少ないビット数の量子化器であっても高精度なADCやDACを実現することが可能となる。すなわち、低ビットの量子化器で生じた大きな量子化誤差を広域に押し出すことで、帯域内(低域)のノイズ量を低減し、 $\Delta\Sigma$ モジュレータの高精度化を図っている。

【0023】

図1(a)においては、2次のモジュレータを示している。しかし、モジュレータの次数を上げていくと、最終段における積分器の出力の振幅が大きくなり過ぎてしまい、発振しやすくなる(安定性の劣化)。

【0024】

図3は、図1に示す $\Delta\Sigma$ モジュレータにおいて発生する問題点を解決するための一般的な手法を説明するための図である。この高次（n次） $\Delta\Sigma$ モジュレータは、アッテネータ21と、加算器22-1～22-nと、積分器23-1～23-nと、量子化器24と、遅延素子25とを含む。

【0025】

図3においては、高次（n次） $\Delta\Sigma$ モジュレータの前段に、最終段の積分器の出力が過振幅にならないように、予め係数が1以下のアッテネータ21が挿入されている。入力信号をX、量子化誤差をQ、アッテネータ21の係数をbとするとき、出力信号Yは次式によって表される。

【0026】

$$Y = bX + (1 - z^{-1})^n \cdot Q \quad \dots (7)$$

このように、アッテネータ21が挿入されることによって、安定性が高くなるが、出力振幅が制限されてしまうため、本来モジュレータによって得られるはずの精度が得られなくなるといった問題点が発生する。また、このアッテネータ21の係数は、モジュレータの次数が高くなるほど小さな値が設定されるので、この問題点がさらに顕著になる。

【0027】

(第1の実施の形態)

図4は、本発明の第1の実施の形態におけるモジュレータの概略構成を示すブロック図である。このモジュレータは、入力信号（X）を量子化された信号成分（X+Q）と量子化誤差成分（Q）とに分離する成分分離部31と、量子化誤差成分（Q）のみをモジュレートする $\Delta\Sigma$ モジュレータ32と、量子化された信号成分（X+Q）と $\Delta\Sigma$ モジュレータ32からの出力を演算する出力演算部33とを含む。

【0028】

$\Delta\Sigma$ モジュレータ32は、誤差成分のみをモジュレートするので、 $\Delta\Sigma$ モジュレータ32の次数を上げていっても、最終段の積分器の出力の振幅が大きくなりすぎることがなくなり、モジュレータの安定化を図ることが可能となる。また、出力演算部33が、成分分離部31によって分離された量子化された信号成分（

$X + Q$) と $\Delta \Sigma$ モジュレータ 3 2 からの出力とを演算することにより、量子化誤差成分 Q は相殺される。また、モジュレータの入力は、量子化誤差成分 Q であるから、振幅が小さく、最終積分器出力の増大を防ぐことができるので、モジュレータの前段にアッテネータを挿入する必要がなくなり、出力信号 Y の信号強度の低減を防止することができ、モジュレータの高精度化を図ることが可能となる。

【0029】

以下に、第1の実施の形態におけるモジュレータの具体例を示す。なお、第2～第5の実施の形態はデジタル $\Delta \Sigma$ モジュレータに関し、第6～第9はアナログ $\Delta \Sigma$ モジュレータに関する。

【0030】

(第2の実施の形態)

図5は、本発明の第2の実施の形態におけるモジュレータの構成を示すブロック図である。このモジュレータは、デジタル入力信号 X を量子化する1ビットの量子化器4 1と、入力信号 X と量子化器4 1から出力される量子化された信号成分 ($- (X + Q)$) とを加算する加算器4 2と、シングルステージ $\Delta \Sigma$ モジュレータ4 3と、量子化器4 1から出力される量子化された信号成分 ($X + Q$) とシングルステージ $\Delta \Sigma$ モジュレータ4 3からの出力信号とを加算する加算器4 4とを含む。

【0031】

また、シングルステージ $\Delta \Sigma$ モジュレータ4 3は、加算器4 5-1～4 5-nと、積分器4 6-1～4 6-nと、量子化器4 7と、遅延素子4 8とを含むn次 $\Delta \Sigma$ モジュレータである。量子化器4 7からの出力が、遅延素子4 8によって遅延され後、加算器4 5-1～4 5-nによって積分器4 6-1～4 6-nに負帰還される。

【0032】

シングルステージ $\Delta \Sigma$ モジュレータ4 3からの出力は、 $-Q + (1 - z^{-1})^n \cdot Q_2$ となる。したがって、出力信号 Y は次式によって表される。なお、 Q_2 はシングルステージ $\Delta \Sigma$ モジュレータ4 7内で発生する誤差成分を示している。

【0033】

$$Y = X + (1 - z^{-1})^n \cdot Q_2 \quad \dots \quad (8)$$

以上説明したように、本実施の形態におけるモジュレータによれば、加算器42が、入力信号Xと量子化器41から出力される量子化された信号成分 $(-(X+Q))$ とを加算し、量子化誤差成分 $(-Q)$ のみをシングルステージ $\Delta\Sigma$ モジュレータ43に入力するようにしたので、シングルステージ $\Delta\Sigma$ モジュレータ43の入力は、原信号(X)のほぼ半分となり、モジュレータにおける安定性を向上させることができた。

【0034】

また、量子化器41から出力される量子化された信号成分 $(X+Q)$ は、シングルステージ $\Delta\Sigma$ モジュレータ43を経ずに、そのまま加算器44に入力されるので、入力信号Xの強度をそのまま保つことができ、モジュレータの高精度化を図ることが可能となった。

【0035】

なお、本実施の形態においては、1ビットフィードバック方式の場合について説明したが、モジュレータのビット数は多ビットでもよく、変換方式はフィードフォワードアーキテクチャなどの他の方式を採用してもよい。これらの場合にも、上述したのと同様の効果が得られる。

【0036】

(第3の実施の形態)

図6は、本発明の第3の実施の形態におけるモジュレータの構成を示すブロック図である。このモジュレータは、図5に示す第2の実施の形態におけるモジュレータと比較して、量子化器41がマルチビット量子化器45に置換されている点のみが異なる。したがって、重複する構成および機能の詳細な説明は繰返さない。

【0037】

マルチビット量子化器45は、入力信号Xを量子化することによって量子化された信号成分 $(X+Q_m)$ を出力する。加算器42は、デジタル入力信号Xとマルチビット量子化器45から出力される量子化された信号成分 $(-(X+Q_m))$ とを加算し、量子化誤差成分 $(-Q_m)$ のみをシングルステージ $\Delta\Sigma$ モジュレ

ータ4 3に入力する。

【0038】

シングルステージ $\Delta\Sigma$ モジュレータ4 3からの出力は、 $-Q_m + (1 - z^{-1})^n \cdot Q_2$ となる。また、出力信号Yは第1の実施の形態において説明した式(8)と同様である。

【0039】

以上説明したように、本実施の形態におけるモジュレータによれば、加算器4 2が、入力信号Xとマルチビット量子化器4 5から出力される量子化された信号成分 $(-(X + Q_m))$ とを加算し、量子化誤差成分 $(-Q_m)$ のみをシングルステージ $\Delta\Sigma$ モジュレータ4 3に入力するようにした。量子化誤差 Q_m は、第2の実施の形態における量子化誤差Qよりも小さくできるので、シングルステージ $\Delta\Sigma$ モジュレータ4 1の入力をさらに小さくすることができ、第2の実施の形態におけるモジュレータよりもさらにモジュレータの安定性を向上させることが可能となつた。

【0040】

(第4の実施の形態)

図7は、本発明の第4の実施の形態におけるモジュレータの構成を示すブロック図である。このモジュレータは、図5に示す第2の実施の形態におけるモジュレータと比較して、シングルステージ $\Delta\Sigma$ モジュレータ4 3の前段に係数 α ($\alpha < 1$) を有するアッテネータ4 6が付加され、シングルステージ $\Delta\Sigma$ モジュレータ4 3の次段に係数 $1/\alpha$ を有するアッテネータ4 7が付加されている点のみが異なる。したがって、重複する構成および機能の詳細な説明は繰返さない。

【0041】

シングルステージ $\Delta\Sigma$ モジュレータ4 3の次数nを高くしていくと、シングルステージ $\Delta\Sigma$ モジュレータ4 3の入力振幅が小さくなっているといえども、やはり最終段の積分器の出力の振幅が大きくなり発振の可能性がある。これを防止するためには、シングルステージ $\Delta\Sigma$ モジュレータ4 3の前段にアッテネータ4 6が付加される。

【0042】

係数 α を有するアッテネータ4 6によって、シングルステージ $\Delta\Sigma$ モジュレータ4 3の出力は $- \alpha Q + (1 - z^{-1})^n \cdot Q_2$ となる。したがって、出力信号Yは次式によって表される。

【0043】

$$Y = X + (1/\alpha) \times (1 - z^{-1})^n \cdot Q_2 \quad \dots (9)$$

以上説明したように、本実施の形態におけるモジュレータによれば、シングルステージ $\Delta\Sigma$ モジュレータ4 3の前段に係数 α を有するアッテネータ4 6を付加し、次段に係数 $1/\alpha$ を有するアッテネータ4 7を付加するようにしたので、シングルステージ $\Delta\Sigma$ モジュレータ4 3の最終段の積分器4 6-nの出力の振幅を小さくすることができ、積分器4 6-nにおける発振を防止することが可能となった。すなわち、モジュレータの振幅を確保したまま、モジュレータの安定性も確保することが可能となった。なお、アッテネータ4 6の係数 α は、図3に示すアッテネータ2 1の係数よりも大きく（アッテネータの度合いを小さく）することができる。

【0044】

(第5の実施の形態)

図8は、本発明の第5の実施の形態におけるモジュレータの構成を示すブロック図である。このモジュレータは、図5に示す第2の実施の形態におけるモジュレータと比較して、シングルステージ $\Delta\Sigma$ モジュレータ4 3がカスケード $\Delta\Sigma$ モジュレータ5 0に置換されている点のみが異なる。したがって、重複する構成および機能の詳細な説明は繰返さない。

【0045】

カスケード $\Delta\Sigma$ モジュレータ5 0は、シングルステージ $\Delta\Sigma$ モジュレータがカスケード接続された構成を有しており、加算器5 1, 5 3, 5 7, 5 8, 6 0および6 5と、積分器5 2, 5 4, 5 9および6 1と、量子化器5 5および6 2と、遅延素子5 6および6 3と、2回微分を行なう微分器6 4とを含む。

【0046】

量子化器5 5への入力をA、量子化器5 5の量子化誤差を Q_2 とすると、量子化器5 5の出力Y 1は、次式のようになる。

【0047】

$$Y_1 = A + Q_2 = -Q + (1 - z^{-1})^2 \cdot Q_2 \quad \dots (10)$$

加算器57は、量子化器55への入力Aと、量子化器55からの出力（-（A+Q₂））とを加算することによって、量子化器55における量子化誤差（-Q₂）を出力する。

【0048】

また、量子化器62の量子化誤差をQ_nとすると、量子化器62の出力は、-Q₂+ (1-z⁻¹)² · Q_nとなる。また、微分器64の出力は、-Q₂ · (1-z⁻¹)²+ (1-z⁻¹)⁴ · Q_nとなる。したがって、加算器65の出力は、-Q+ (1-z⁻¹)⁴ · Q_nとなる。

【0049】

このようにカスケード△Σモジュレータを用いることによって、最終ステージ以外の量子化器で発生する量子化誤差（Q₂, Q₃…）をステージ間の加算によって除去できる。したがって、第4の実施の形態において説明した式（9）の（1/α）の項を除去することができる。

【0050】

以上説明したように、本実施の形態におけるモジュレータによれば、カスケード△Σモジュレータ50を用いて量子化誤差成分（-Q）をモジュレートするようにしたので、アッテネータを用いなくてもカスケード△Σモジュレータ50の最終段の積分器61の出力の振幅を小さくすることができ、積分器61における発振を防止することが可能となった。すなわち、モジュレータの振幅を確保したまま、モジュレータの安定性も確保することが可能となった。

【0051】

なお、本実施の形態においては、フィードバック方式の1ビット2次△Σモジュレータを2段カスケード接続した場合について説明したが、カスケードの段数を増やしたり、最終ステージの量子化器にマルチビット量子化器を用いたりすることによって、より高精度なモジュレータを実現することが可能である。また、モジュレータの変換方式は、フィードフォワード方式などの他の方式を採用してもよい。これらの場合にも、上述したのと同様の効果が得られる。

【0052】

(第6の実施の形態)

図9は、本発明の第6の実施の形態におけるモジュレータの構成を示すブロック図である。このモジュレータは、アナログ入力信号Xを量子化する1ビットの量子化器（A/D変換器）41と、量子化器41から出力される量子化された信号成分（X+Q）をアナログ信号に変換するDAC71と、入力信号XとDAC71から出力される信号成分（-（X+Q））とを加算する加算器42と、シングルステージ△Σモジュレータ70と、量子化器41から出力される量子化された信号成分（X+Q）とシングルステージ△Σモジュレータ70からの出力信号とを加算する加算器44とを含む。

【0053】

また、シングルステージ△Σモジュレータ70は、加算器45-1～45-nと、積分器46-1～46-nと、量子化器47と、遅延素子48と、量子化器47からの出力信号をアナログ信号に変換するDAC49とを含むn次△Σモジュレータである。DAC49からの出力が、遅延素子48によって遅延され後、加算器45-1～45-nによって積分器46-1～46-nに負帰還される。

【0054】

シングルステージ△Σモジュレータ70からの出力は、 $-Q + (1 - z^{-1})^n \cdot Q_2$ となる。したがって、出力信号Yは式（8）によって表される。

【0055】

以上説明したように、本実施の形態におけるモジュレータによれば、加算器42が、アナログ入力信号XとDAC71から出力される信号成分（-（X+Q））とを加算し、誤差成分（-Q）のみをシングルステージ△Σモジュレータ70に入力するようにしたので、シングルステージ△Σモジュレータ70の入力は、原信号（X）のほぼ半分となり、モジュレータにおける安定性を向上させることができた。

【0056】

また、量子化器41から出力される量子化された信号成分（X+Q）は、シングルステージ△Σモジュレータ70を経ずに、そのまま加算器44に入力される

ので、入力信号Xの強度をそのまま保つことができ、モジュレータの高精度化を図ることが可能となった。

【0057】

なお、本実施の形態においては、1ビットフィードバック方式の場合について説明したが、モジュレータのビット数は多ビットでもよく、変換方式はフィードフォワードアーキテクチャなどの他の方式を採用してもよい。これらの場合にも、上述したのと同様の効果が得られる。

【0058】

(第7の実施の形態)

図10は、本発明の第7の実施の形態におけるモジュレータの構成を示すブロック図である。このモジュレータは、図9に示す第6の実施の形態におけるモジュレータと比較して、量子化器41がマルチビット量子化器(D/A変換器)45に置換されている点のみが異なる。したがって、重複する構成および機能の詳細な説明は繰返さない。

【0059】

マルチビット量子化器45は、アナログ入力信号Xを量子化することによって信号成分($X + Q_m$)を出力する。加算器42は、アナログ入力信号XとD.A.C.71から出力される信号成分($-(X + Q_m)$)とを加算し、誤差成分($-Q_m$)のみをシングルステージ $\Delta\Sigma$ モジュレータ43に入力する。

【0060】

シングルステージ $\Delta\Sigma$ モジュレータ43からの出力は、 $-Q_m + (1 - z^{-1})^n \cdot Q_2$ となる。また、出力信号Yは第1の実施の形態において説明した式(8)と同様である。

【0061】

以上説明したように、本実施の形態におけるモジュレータによれば、加算器42が、入力信号XとD.A.C.71から出力される信号成分($-(X + Q_m)$)とを加算し、誤差成分($-Q_m$)のみをシングルステージ $\Delta\Sigma$ モジュレータ70に入力するようにした。量子化誤差 Q_m は、第6の実施の形態における量子化誤差Qよりも小さくできるので、シングルステージ $\Delta\Sigma$ モジュレータ70の入力をさら

に小さくすることができ、第6の実施の形態におけるモジュレータよりもさらにモジュレータの安定性を向上させることができた。

【0062】

(第8の実施の形態)

図11は、本発明の第8の実施の形態におけるモジュレータの構成を示すプロック図である。このモジュレータは、図9に示す第6の実施の形態におけるモジュレータと比較して、シングルステージ $\Delta\Sigma$ モジュレータ70の前段に係数 α ($\alpha < 1$) を有するアッテネータ46が付加され、シングルステージ $\Delta\Sigma$ モジュレータ70の次段に係数 $1/\alpha$ を有するアッテネータ47が付加されている点のみが異なる。したがって、重複する構成および機能の詳細な説明は繰返さない。

【0063】

シングルステージ $\Delta\Sigma$ モジュレータ70の次数nを高くしていくと、シングルステージ $\Delta\Sigma$ モジュレータ70の入力振幅が小さくなっているといえども、やはり最終段の積分器の出力の振幅が大きくなり発振の可能性がある。これを防止するためには、シングルステージ $\Delta\Sigma$ モジュレータ70の前段にアッテネータ46が付加される。

【0064】

係数 α を有するアッテネータ46によって、シングルステージ $\Delta\Sigma$ モジュレータ70の出力は $-\alpha Q + (1 - z^{-1})^n \cdot Q_2$ となる。したがって、出力信号Yは式(9)によって表される。

【0065】

以上説明したように、本実施の形態におけるモジュレータによれば、シングルステージ $\Delta\Sigma$ モジュレータ70の前段に係数 α を有するアッテネータ46を付加し、次段に係数 $1/\alpha$ を有するアッテネータ47を付加するようにしたので、シングルステージ $\Delta\Sigma$ モジュレータ70の最終段の積分器46-nの出力の振幅を小さくすることができ、積分器46-nにおける発振を防止することが可能となった。すなわち、モジュレータの振幅を確保したまま、モジュレータの安定性も確保することが可能となった。なお、アッテネータ46の係数 α は、図3に示すアッテネータ21の係数よりも大きく（アッテネータの度合いを小さく）すること

とができる。

【0066】

(第9の実施の形態)

図12は、本発明の第9の実施の形態におけるモジュレータの構成を示すブロック図である。このモジュレータは、図9に示す第6の実施の形態におけるモジュレータと比較して、シングルステージ $\Delta\Sigma$ モジュレータ70がカスケード $\Delta\Sigma$ モジュレータ80に置換されている点のみが異なる。したがって、重複する構成および機能の詳細な説明は繰返さない。

【0067】

カスケード $\Delta\Sigma$ モジュレータ80は、シングルステージ $\Delta\Sigma$ モジュレータがカスケード接続された構成を有しており、加算器51, 53, 57, 58, 60および65と、積分器52, 54, 59および61と、量子化器55および62と、遅延素子56および63と、2回微分を行なう微分器64と、DAC66および67とを含む。

【0068】

量子化器55への入力をA、量子化器55の量子化誤差を Q_2 とすると、量子化器55の出力Y1は、式(10)のようになる。

【0069】

加算器57は、量子化器55への入力Aと、DAC66からの出力 $(-(A+Q_2))$ とを加算することによって、量子化器55における量子化誤差 $(-Q_2)$ を出力する。

【0070】

また、量子化器62の量子化誤差を Q_n とすると、量子化器62の出力は、 $-Q_2 + (1-z^{-1})^2 \cdot Q_n$ となる。また、微分器64の出力は、 $-Q_2 \cdot (1-z^{-1})^2 + (1-z^{-1})^4 \cdot Q_n$ となる。したがって、加算器65の出力は、 $-Q_2 + (1-z^{-1})^4 \cdot Q_n$ となる。

【0071】

このようにカスケード $\Delta\Sigma$ モジュレータを用いることによって、最終ステージ以外の量子化器で発生する量子化誤差($Q_2, Q_3\cdots$)をステージ間の加算によっ

て除去できる。したがって、第4の実施の形態において説明した式(9)の $(1/\alpha)$ の項を除去することができる。

【0072】

以上説明したように、本実施の形態におけるモジュレータによれば、カスケード $\Delta\Sigma$ モジュレータ80を用いて誤差成分($-Q$)をモジュレートするようにしたので、アッテネータを用いなくてもカスケード $\Delta\Sigma$ モジュレータ80の最終段の積分器61の出力の振幅を小さくすることができ、積分器61における発振を防止することが可能となった。すなわち、モジュレータの振幅を確保したまま、モジュレータの安定性も確保することが可能となった。

【0073】

なお、本実施の形態においては、フィードバック方式の1ビット2次 $\Delta\Sigma$ モジュレータを2段カスケード接続した場合について説明したが、カスケードの段数を増やしたり、最終ステージの量子化器にマルチビット量子化器を用いたりすることによって、より高精度なモジュレータを実現することが可能である。また、モジュレータの変換方式は、フィードフォワード方式などの他の方式を採用してもよい。これらの場合にも、上述したのと同様の効果が得られる。

【0074】

(第10の実施の形態)

図13は、本発明の第10の実施の形態における $\Delta\Sigma D/A$ コンバータの構成を示すブロック図である。この $\Delta\Sigma D/A$ コンバータは、補間フィルタ91と、デジタル $\Delta\Sigma$ モジュレータ92と、リコンストラクションDAC93と、アナログフィルタ(ロウパスフィルタ)94とを含む。なお、リコンストラクションDAC93およびアナログフィルタ94を併せて、アナログフィルタと呼ばれることもある。

【0075】

デジタル $\Delta\Sigma$ モジュレータ92は、補間フィルタ91によって補間された後のデジタル入力信号Xをモジュレートする。そして、デジタル $\Delta\Sigma$ モジュレータ92からのデジタル出力信号Yが、リコンストラクションDAC93およびアナログフィルタ94によってアナログ信号に変換される。

【0076】

デジタル $\Delta\Sigma$ モジュレータ92には、第2～第5の実施の形態において説明したモジュレータが使用される。したがって、第2～第5の実施の形態において説明した効果を奏する $\Delta\Sigma$ D/Aコンバータを実現することが可能となった。

【0077】

(第11の実施の形態)

図14は、本発明の第11の実施の形態における $\Delta\Sigma$ A/Dコンバータの構成を示すブロック図である。この $\Delta\Sigma$ A/Dコンバータは、アナログ $\Delta\Sigma$ モジュレータ95と、デシメーションフィルタ96とを含む。

【0078】

デシメーションフィルタ96は、アナログ $\Delta\Sigma$ モジュレータ95によってモジュレートされた後の出力信号を多ビットのデジタルデータに変換するとともに、所望のサンプルレートまでダウンサンプルする。

【0079】

アナログ $\Delta\Sigma$ モジュレータ95には、第6～第9の実施の形態において説明したモジュレータが使用される。したがって、第6～第9の実施の形態において説明した効果を奏する $\Delta\Sigma$ A/Dコンバータを実現することが可能となった。

【0080】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0081】

【発明の効果】

本発明に係るモジュレータによれば、デルタシグマモジュレータが、成分分離手段によって分離された誤差成分のみをモジュレートするので、デルタシグマモジュレータの次数を上げていっても最終段の積分器の出力の振幅が大きくなりすぎることがなくなり、モジュレータの安定化を図ることが可能となった。また、成分分離手段によって分離された信号成分はデルタシグマモジュレータを経ない

ので、入力信号の強度をそのまま保つことができ、モジュレータの高精度化を図ることが可能となった。

【図面の簡単な説明】

【図1】 オーバサンプリング $\Delta\Sigma$ モジュレータの構成例を示すブロック図である。

【図2】 $\Delta\Sigma$ モジュレータにおける量子化ノイズのモジュレーションの概念を説明するための図である。

【図3】 図1に示す $\Delta\Sigma$ モジュレータにおいて発生する問題点を解決するための一般的な手法を説明するための図である。

【図4】 本発明の第1の実施の形態におけるモジュレータの概略構成を示すブロック図である。

【図5】 本発明の第2の実施の形態におけるモジュレータの構成を示すブロック図である。

【図6】 本発明の第3の実施の形態におけるモジュレータの構成を示すブロック図である。

【図7】 本発明の第4の実施の形態におけるモジュレータの構成を示すブロック図である。

【図8】 本発明の第5の実施の形態におけるモジュレータの構成を示すブロック図である。

【図9】 本発明の第6の実施の形態におけるモジュレータの構成を示すブロック図である。

【図10】 本発明の第7の実施の形態におけるモジュレータの構成を示すブロック図である。

【図11】 本発明の第8の実施の形態におけるモジュレータの構成を示すブロック図である。

【図12】 本発明の第9の実施の形態におけるモジュレータの構成を示すブロック図である。

【図13】 本発明の第10の実施の形態における $\Delta\Sigma$ D/Aコンバータの構成を示すブロック図である。

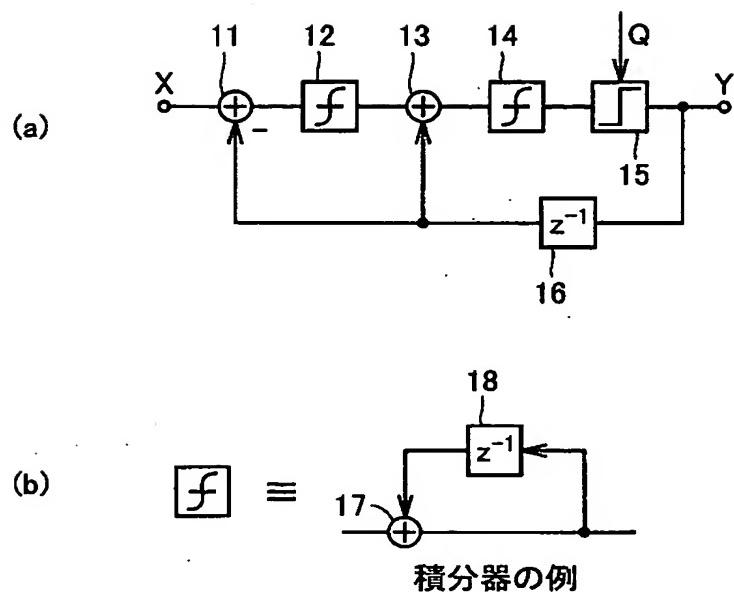
【図14】 本発明の第11の実施の形態における $\Delta\Sigma$ A/Dコンバータの構成を示すブロック図である。

【符号の説明】

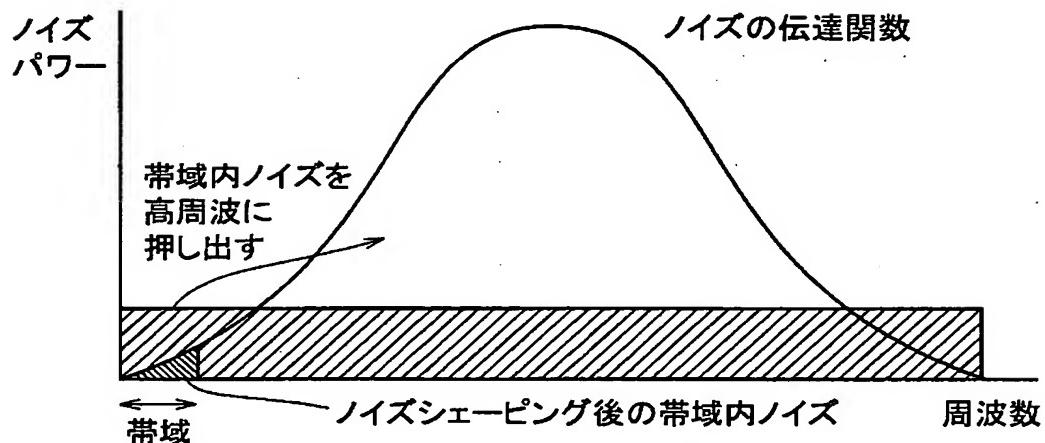
11, 13, 17, 18, 22-1~22-n, 42, 44, 45-1~45-n, 51, 53, 57, 58, 60, 65 加算器、12, 14, 23-1~23-n, 46-1~46-n, 52, 54, 59, 61 積分器、15, 24, 41, 47, 55, 62 量子化器、16, 25, 48, 56, 63 遅延素子、21, 46, 47 アッテネータ、31 成分分離部、32 $\Delta\Sigma$ モジュレータ、33 出力演算部、43, 70 シングルステージ $\Delta\Sigma$ モジュレータ、45 マルチビット量子化器、50, 80 カスケード $\Delta\Sigma$ モジュレータ、64 微分器、49, 66, 67, 71 DAC、91 補間フィルタ、92 デジタル $\Delta\Sigma$ モジュレータ、93 リコンストラクションDAC、94 アナログフィルタ、95 アナログ $\Delta\Sigma$ モジュレータ、96 デシメーションフィルタ。

【書類名】図面

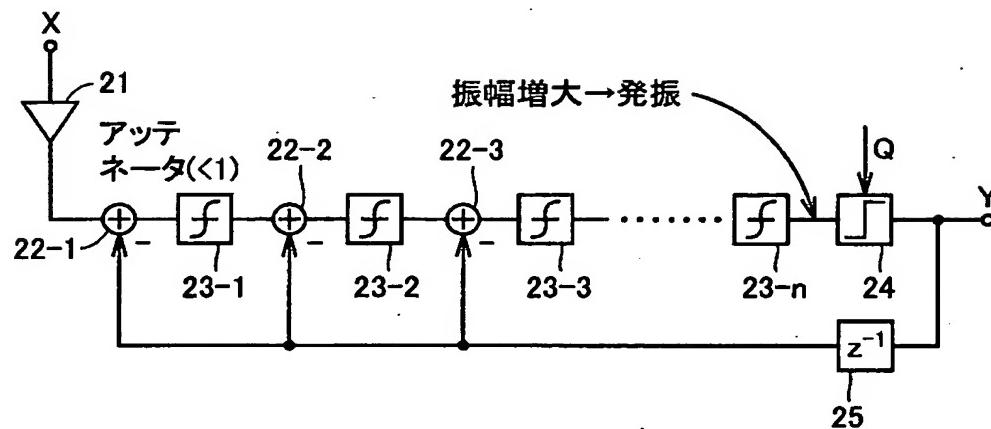
【図1】



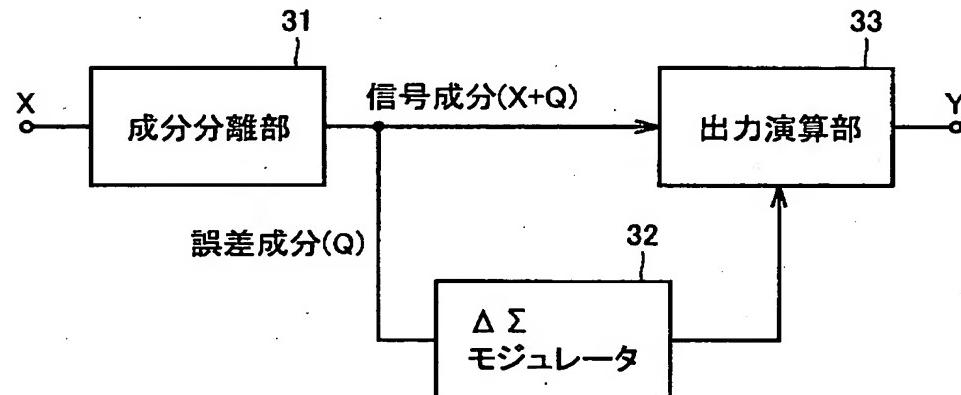
【図2】



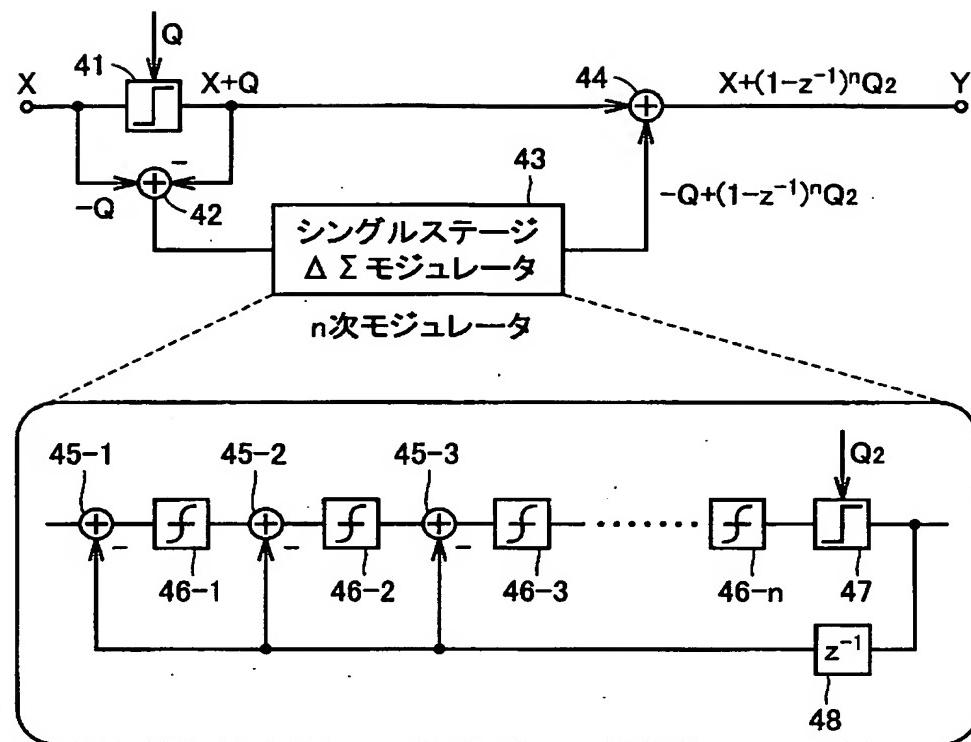
【図3】



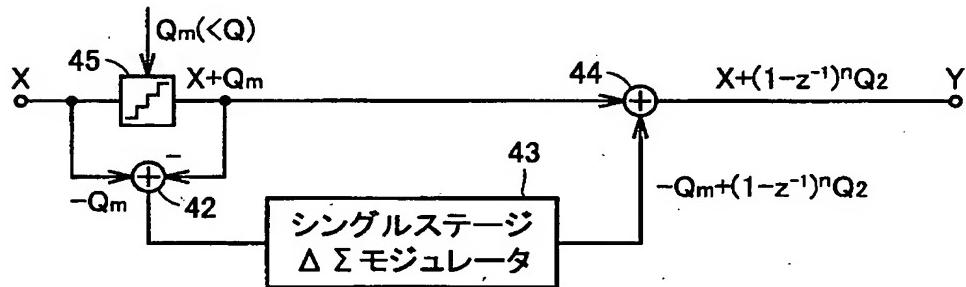
【図4】



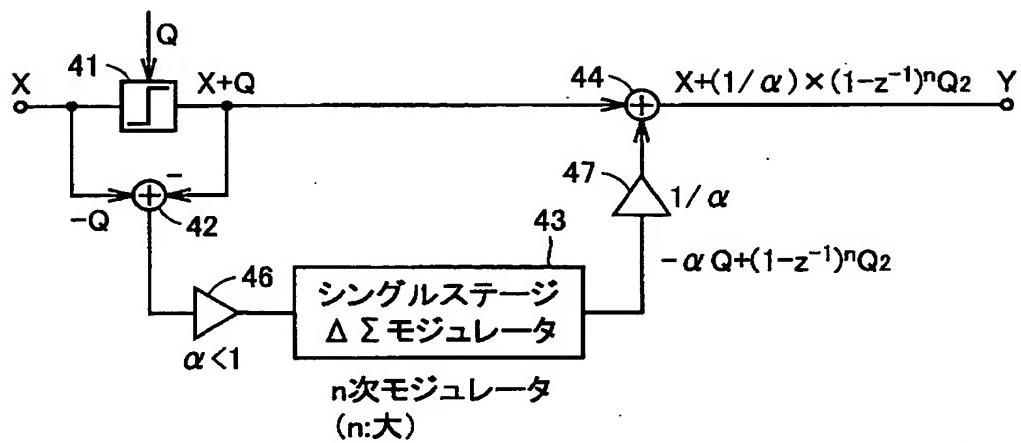
【図5】



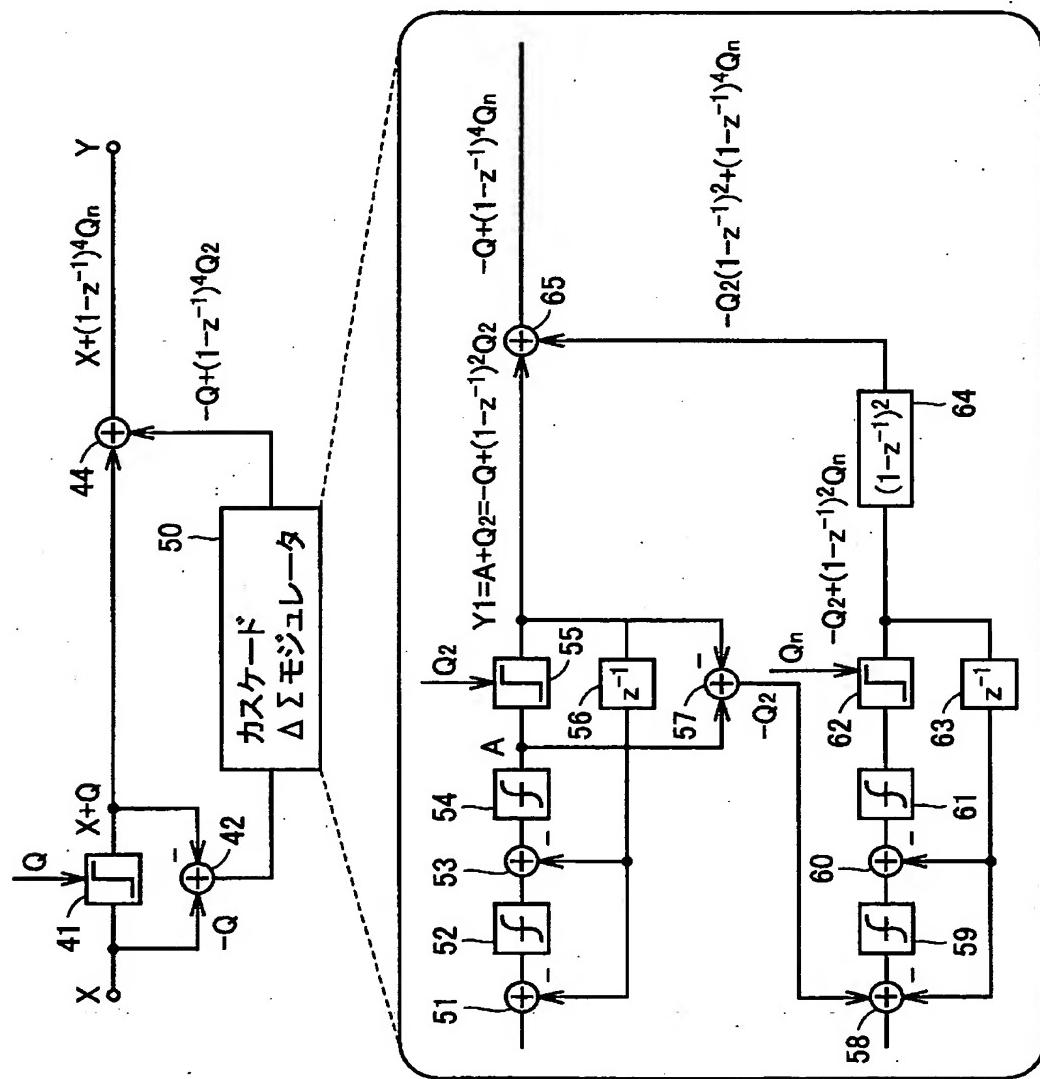
【図6】



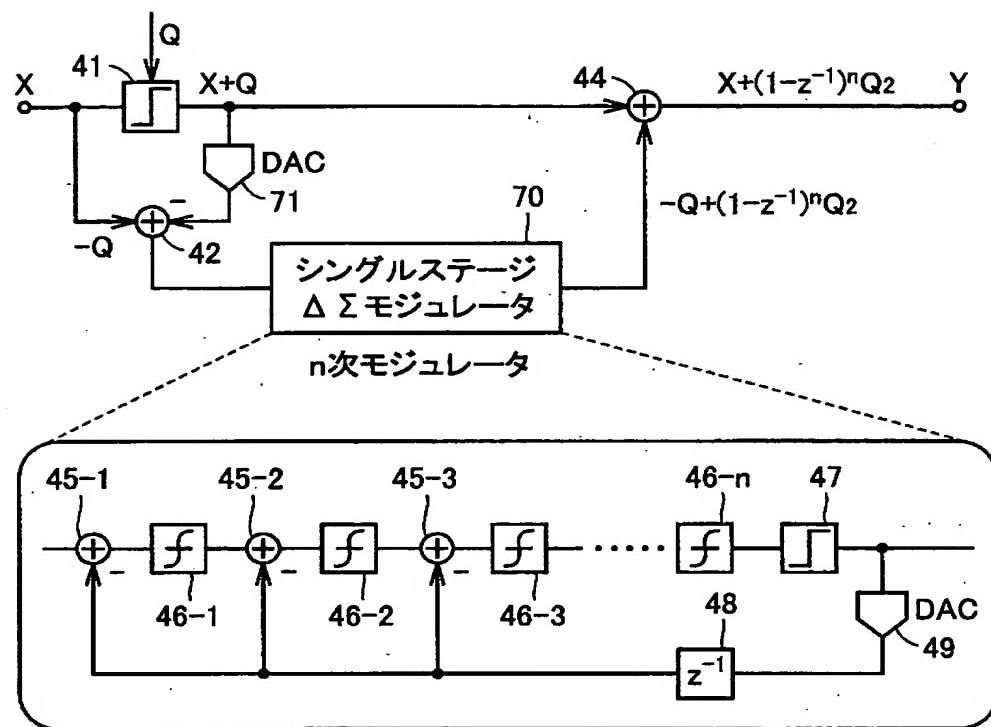
【図7】



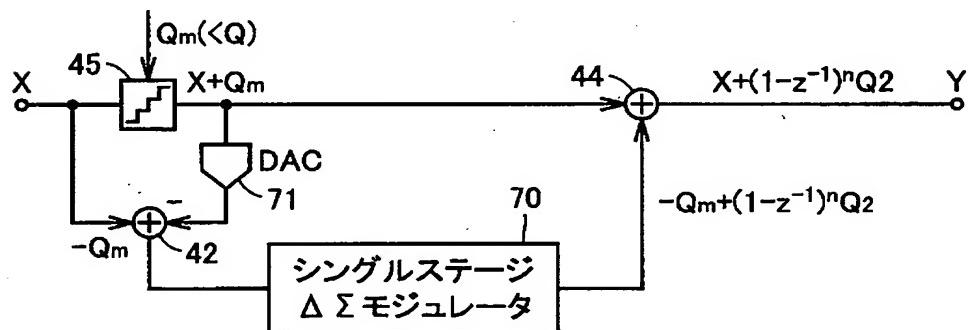
【図8】



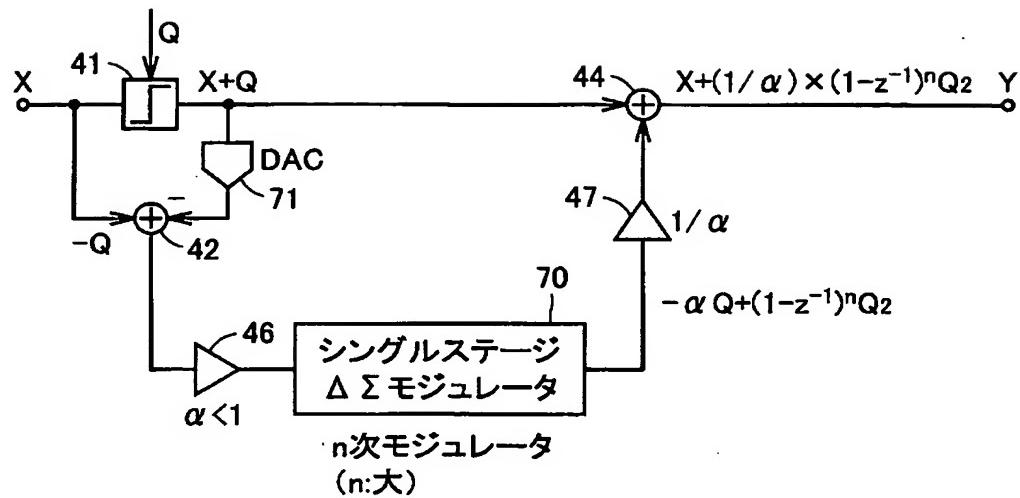
【図9】



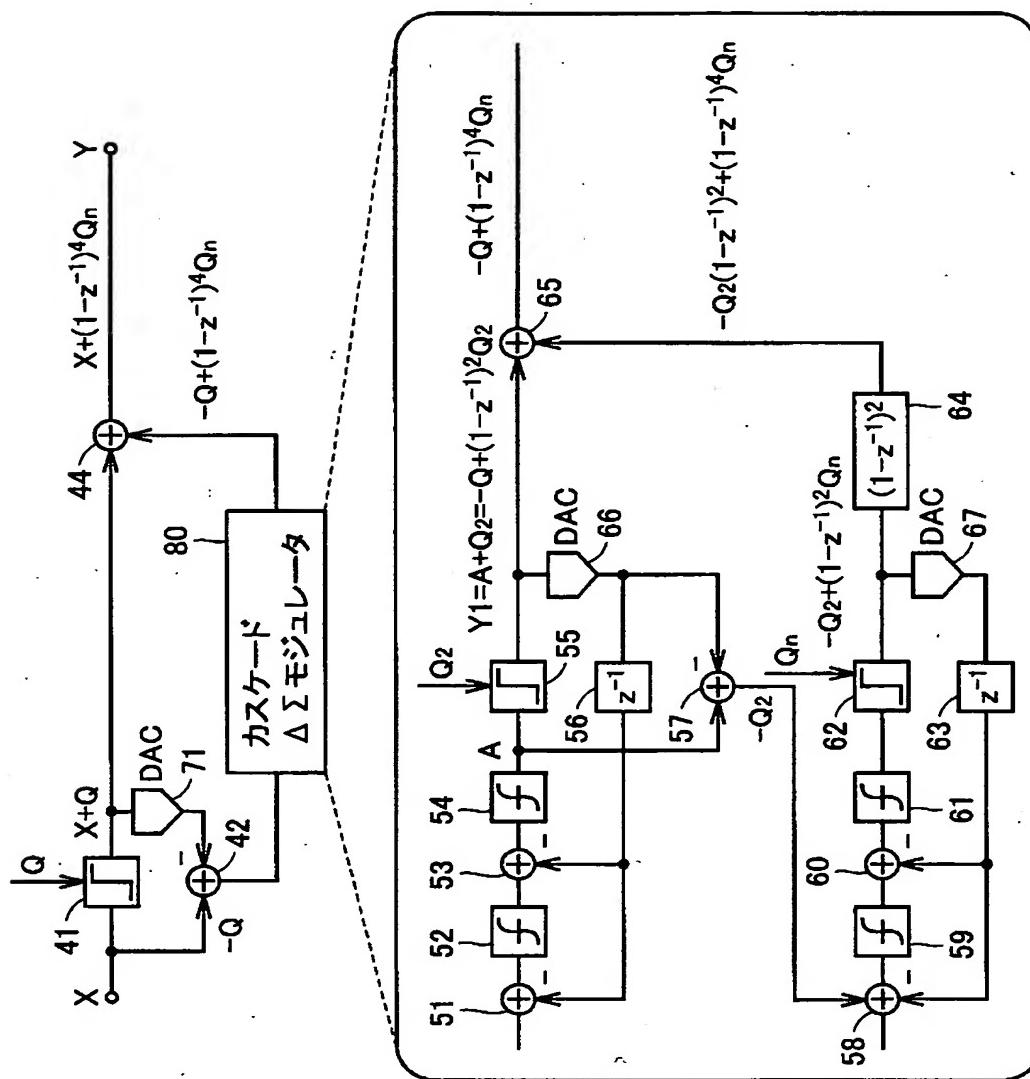
【図10】



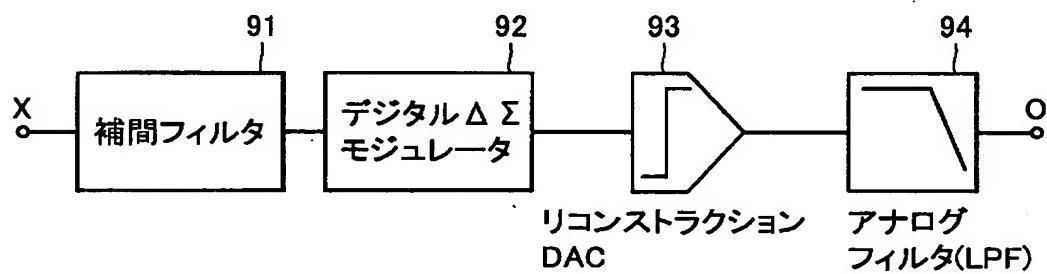
【図11】



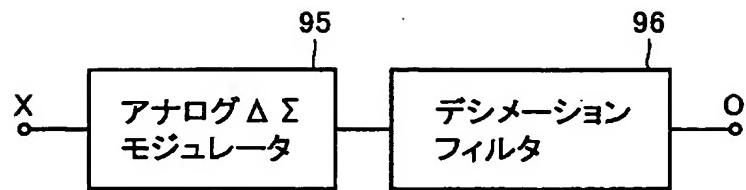
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 安定化および高精度化を図ることが可能なモジュレータを提供すること。

【解決手段】 $\Delta\Sigma$ モジュレータ32は、成分分離部31によって分離された誤差成分(Q)のみをモジュレートする。したがって、 $\Delta\Sigma$ モジュレータ32の次数を上げていっても最終段の積分器の出力の振幅が大きくなりすぎることがなくなり、モジュレータの安定化を図ることが可能となる。また、成分分離部31によって分離された信号成分は $\Delta\Sigma$ モジュレータ32を経ないので、入力信号Xの強度をそのまま保つことができ、モジュレータの高精度化を図ることが可能となる。

【選択図】 図4

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社